

МЕТОД ЗА ОСИГУРЯВАНЕ НА ИЗБИРАТЕЛНОСТТА ПО СЪСЕДЕН КАНАЛ НА МОБИЛЕН РАДИОПРИЕМНИК

доц. д-р инж. Добри Михайлов Добрев - ДКД
доц. д-р инж. Лидия Тоткова Йорданова - ТУ-София

Method for Sustaining the Adjacent-Channel Selectivity of a Mobile Receiver. The paper describes a method for signal selection in case of adjacent and side-lobe channel interferences presuming a simultaneous analogue and digital filtration. The results of applying such a method in a mobile receiver, namely a primarily analogue filtering of a very low first intermediate frequency signal followed by a digital filtering of a zero-order second intermediate frequency signal, are analyzed. A corresponding circuit realizing the above described method is being implemented. It consists of an analogue and digital anti-aliasing filters, sigma-delta modulator, digital frequency converter and decimation filter. Switched-current memory cell circuits for realization of the main sigma-delta modulator blocks are being suggested.

Въведение.

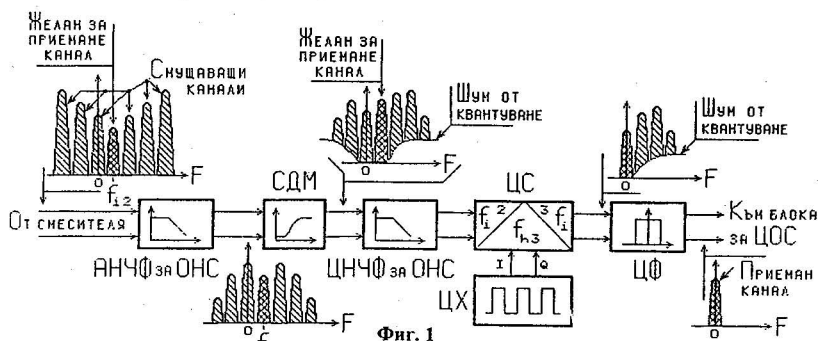
Мобилните радиоприемници трябва да отговарят на редица изисквания, като миниатюрност, многостандартност, икономичност на консумираната енергия, надеждност, ниска цена и др. Изготвянето на традиционния суперхетеродинен приемник по технологията на интегралните схеми създава проблеми, свързани изключително с осигуряването на неговата избирателност по съседни и странични канали, причина за което са ниските качествени фактори на интегралните резонансни кръгове. Затова за реализирането на мобилни приемници се използват схеми, в които при честотното преобразуване приеманите канали се транслират в областта на сигналите с основна лента, където се осъществява отделянето на полезния от смущаващите сигнали, т.е. избирателността на приемника по съседен канал. В този случай много често се налага слаб приеман сигнал да бъде отделян от силно смущение на съседен или страничен канал, от което произтичат особено строгите изисквания към характеристиките на изпълваните за целта филтри.

Избирателността на приемника по съседен канал може да се осигури както чрез аналогова, така и чрез цифрова филтрация на приеманите сигнали с основна лента. Прилагането на цифрова обработка на сигналите позволява чрез програмно процесорно управление на радиоприемника той да се адаптира лесно към различните стандарти, използвани в мобилните комуникации. Основен проблем в този случай представлява изискването за голям динамичен обхват на АЦП, което е свързано с обстоятелството, че се извършва квантуване както на полезния, така и на съпътстващите го смущаващи сигнали, чиито нива могат да превишават съществено нивото на желания сигнал. Този недостатък на приемниците с цифрова филтрация на сигналите с основна лента може да бъде избегнат чрез използване на смесена (аналогова и цифрова) филтрация, която е и обект на настоящата работа.

Същност на метода.

За да се приложи смесена филтрация на приеманите сигнали, е необходимо приемникът да бъде реализиран по схема с двойно честотно преобразуване. При първото честотно преобразуване се извършва транслиране на спектъра на приеманите сигнали в много ниска междинна честота, обикновено на един или два канала отстояние от нулевата честота. Това позволява преди аналогово цифровото преобразуване да се извърши предварителна филтрация с цел потискане на сигналите от смушаващите канали, с което изискването за голям динамичен обхват на АЦП отпадат. След аналогово цифровото преобразуване на приеманите сигнали, те се подлагат на второ честотно преобразуване с нулева междинна честота и полезният сигнал се отделя с помощта на цифров филтър.

На **фиг. 1** е показана блокова схема, реализираща описания метод и видът на приеманите сигнали в характерни точки на схемата, илюстриращ работата на отделните ѝ блокове. Схемата включва аналогов и цифров филтър за ограничаване на наслагването на спектрите (*НЧФ* за *ОНС*), сигма-делта модулатор (*СДМ*), цифров смесител (*ЦС*) и хетеродин (*ЦХ*) и филтър за децимация (*ФД*). Предназначението на *НЧФ* за *ОНС* е да осигури необходимото допустимо съотношение между нивата на полезния и смушаващите сигнали, което се изисква за нормалната работа на АЦП. В *СДМ* се извършва преобразуване на входния аналогов сигнал в модулиран по плътност еднобитов цифров поток (*PDM*) и транслиране на шума от квантуване извън заеманата от полезния сигнал честотна лента. Чрез филтъра за децимация се осъществява потискане на страничните канали и на шума от квантуване.

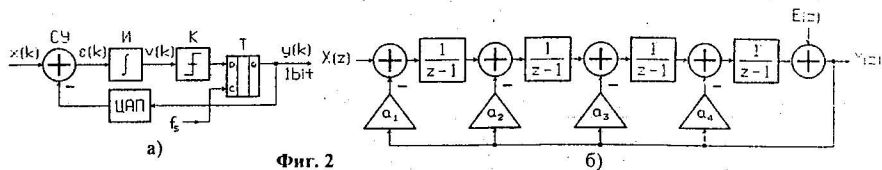


Фиг. 1

Избор на схема на СДМ.

Сигма-делта модулаторите се причисляват към групата на възходящите дискретни системи, тъй като работят с честота на дискретизация f_s неколкостранно по-висока от изискваната f_N според условието на Найкуист ($f_N = 2F_{max}$, F_{max} е максималната честота на приемания сигнал с основна лента). Принципът на действие на този блок е пояснено на **фиг. 2а**, където е показана блокова схема на *СДМ* от първи ред, включваща сумиращо устройство (*СУ*), интегратор

(И), компаратор (К), D-тригер (Т) и ЦАП във веригата на обратна връзка. Сигналят за грешка $\varepsilon(k)$, който е равен на разликата между напреженията на входния $x(k)$ и изходния $y(k)$ сигнал на СДМ, се натрупва (акумулира) в интегратора докато напрежението в изхода му $v(k)$ достигне праговото ниво на компаратора. Ако $v(k)$ стане по-голямо от праговото напрежение, в изхода на компаратора се



изработва символ $+1$, а когато е по-малко - символ -1 , съответстващи на логическата единица и нула. Широчината на тези символи зависи от амплитудата на входния сигнал, т.е. в изхода на СДМ се получава PDM сигнал.

В зависимост от конкретното приложение на СДМ към него се предявяват различни изисквания за динамичния обхват на постъпващите на входа му сигнали. Работният динамичен обхват DR на СДМ в децибели може да се определи по формулата

$$(1) \quad DR = 10 \lg \left(\frac{3}{2} \frac{2L+1}{\pi^{2L}} M^{2L+1} \right),$$

където с L е означен редът на СДМ (той е равен на броят на използваните в схемата му интегратори), а с M - коефициентът на интерполация ($M = f_s/f_N$). Очевидно е, че за разширяване на DR е необходимо СДМ да е от по-висок ред и коефициентът на интерполация M да има по-голяма стойност. Използването на СДМ от по-висок ред обаче води до по-голяма сложност на схемната му реализация, по-голяма консумация на енергия и увеличаване на заеманата от него площ в интегралната схема. Същевременно работата с висока честота на дискретизация изисква по-голямо бързодействие и ширококоленост на активните елементи. Затова стойностите на L и M се избират компромисно, като в тази работа е прието $L = 4$ и $M = 64$, при което се осигурява DR над 110 dB.

Сигма-делта модулаторът от 4-ти ред може да бъде реализиран по схема, чийто линеаризиран модел е показан на фиг. 2б. Моделът съдържа четири интегратора с предавателна характеристика $H_1(z) = z^{-1}/(1 - z^{-1}) = 1/(z - 1)$, суматори и умножители с тегловни коефициенти $a_1 \dots a_4$. Предавателната функция на такава система по отношение на шума от квантуване $H_e(z)$ е от вида

$$(2) \quad H_e(z) = \frac{(z-1)^4}{(z-1)^4 + a_4(z-1)^3 + a_3(z-1)^2 + a_2(z-1) + a_1}$$

и описва поведението на високочестотен филтър от Бътеруъртов тип, чрез който се извършва фактически транслирането на спектъра на шума от квантуване в областта на високите честоти. Потискането на шума от квантуване в разглеждания СДМ може да се оцени чрез зависимостта

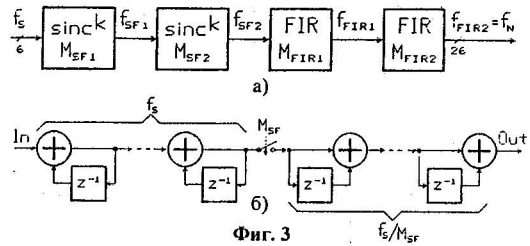
$$(3) \quad P_{NCDM} = \int_{-f_{max}}^{f_{max}} \frac{P_N}{M} (1-z^{-1})^L df \approx \frac{\pi^{2L}}{2L+1} \cdot \frac{P_N}{M^{2L+1}} \text{ при } M \gg 1,$$

където P_N е шумовата мощност от квантуване при честота на дискретизация f_N .

Определяне на типа на филтъра за децимация.

Освен че потиска смуцаващите сигнали и шумовете от квантуване, филтърът за децимация понижава честотата на дискретизация f_s на получените в изхода на СДМ сигнали до изискваната от условието на Найкуист, т.е. той се проявява като низходяща дискретизираща система. Тъй като от него се изисква да има линейна фазова характеристика, за реализирането му се използват нерекурсивни цифрови филтри (НЦФ или FIR), а понижаването на f_s се осъществява обикновено чрез прилагане на неколнократна децимация. В тази работа е представен вариант на ФД, в който

необходимият коефициент на децимация M ($M = 64$) се осигурява от два *sinc*-филтри и два полулентови НЦФ. Избраната конфигурация на ФД е показана на фиг. 3а, където с M_{SF1} и f_{SF1} са означени коефициентите на децимация на *sinc*-филтрите и честотите на дискретизация на изходните им сигнали, а с M_{FIR1} и f_{FIR1} - същите параметри за полулентовите НЦФ (в случая $M_{SF1} = M_{SF2} = 4$ и $M_{FIR1} = M_{FIR2} = 2$).



Фиг. 3

където с M_{SF1} и f_{SF1} са означени коефициентите на децимация на *sinc*-филтрите и честотите на дискретизация на изходните им сигнали, а с M_{FIR1} и f_{FIR1} - същите параметри за полулентовите НЦФ (в случая $M_{SF1} = M_{SF2} = 4$ и $M_{FIR1} = M_{FIR2} = 2$).

Използваните в схемата *sinc*-филтри са с предавателна характеристика

$$(4) \quad H(z) = \left(\frac{1}{M_{SF}} \frac{1-z^{-M_{SF}}}{1-z^{-1}} \right)^k = \left(\frac{1}{1-z^{-1}} \right)^k \left(\frac{1-z^{-M_{SF}}}{M_{SF}} \right)^k,$$

а техният ред k е свързан с реда на СДМ чрез израза $k = L + 1$. В разглеждания случай всеки *sinc*-филтър съдържа по пет еднотипни интегриращи и диференциращи звена с предавателни характеристики съответно $1/(1-z^{-1})$ и $(1-z^{-M_{SF}})$, което е илюстрирано на фиг. 3б. Понижаването на честотата на дискретизация се постига чрез електронен ключ, представляващ регистър, чието съдържание се чете с тактова честота M_{SF} пъти по-ниска от честотата на дискретизация на входния сигнал. Разредността на регистъра R_w се определя по формулата

$$(5) \quad R_w \geq k \log_2(M_{SF}) + B_m,$$

където B_m е разредността на цифровата дума на входа на *sinc*-филтъра. Тук е прието във входа на ФД да се използва шестразреден регистър, т.е. $B_{m1} = 6$ bit и затова разредността на регистрите в двата *sinc*-филтри е съответно 16 и 26 bit.

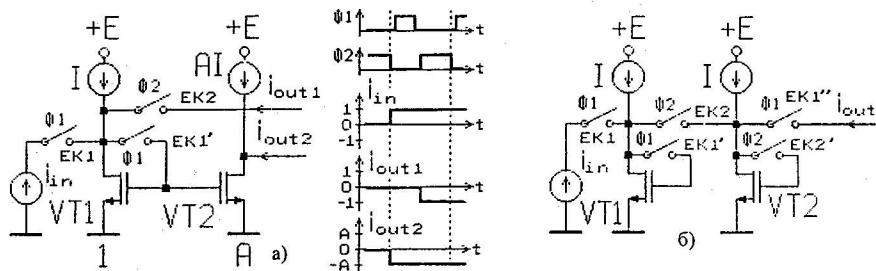
Увеличаването на разредността на дискретите на входния сигнал във филтъра за децимация се прави, за да се подобри отношението сигнал/шум. За целта формираните в него m -битови думи се разделят на две части. Едната, включваща по-младшите разреди (в случая шестте най-младши), съдържа информация за нивата на шума от квантуване и смушенията от страничните канали, а

другата, която е съставена от останалите по-старши битове, представя текущото ниво на полезния сигнал. Такова преразпределение позволява шестте най-младши бита да бъдат изключени от съдържанието на двоичната думата, представяща дискрета, а останалите битове да се подложат на допълнително редуциране в блок за автоматично регулиране на усилването (APY) с цел разширяване на динамичния обхват на приемания сигнал.

Схемни реализации на блоковете

Нискочестотният филтър за ограничаване на наслагването на спектри се реализира най-често по схема, съдържа пасивен RC филтър и активен филтър на Sallen и Key от втори порядък. Схемата на такъв филтър има два еднотипни канала, в които сигналите от I и Q каналите на смесителя се обработват поотделно. Необходимата линейност на филтриране се осигурява чрез включване във входа на филтъра на буферен усилвател с автоматично регулиране на усилването. По този начин се постига ограничаване на нивата на възникващите интермодуляционни продукти от трети ред.

В тази работа вниманието е съсредоточено върху сигма-делта модулатора и възможността за неговата реализация чрез използване на SI (Switched current) технология. Препоръчаните схеми включват SI клетка с токова памет от втора генерация от вида, показан на фиг. 4а. Превключването на токовите вериги на



Фиг. 4

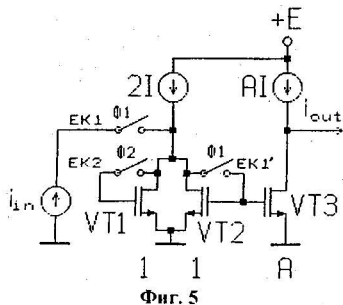
такава клетка се осъществява чрез три електронни ключа, управлявани от импулсните поредици $\Phi 1$ и $\Phi 2$, които се редуват в рамките на един тактов интервал без да се припокриват. Запомнените токове в изходите на клетката i_{out2} и i_{out1} за времето на неактивните фази на $\Phi 1$ и $\Phi 2$ се определят от входния ток i_{in} в момента на отваряне на съответния ключ, поради което е налице закъснение на половин тактов интервал на изходния спрямо входния ток, т.е.

$$(6) \quad i_{out}(k) = -A i_{in}(k - 0,5).$$

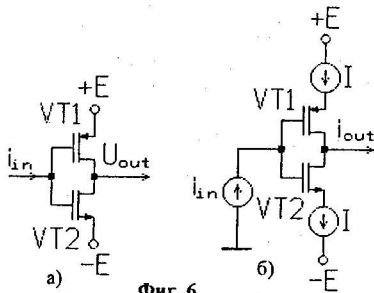
Това позволява чрез последователно свързване на две клетки да се реализира лесно закъснителен елемент, което е илюстрирано на фиг. 4б. На базата на клетката с токова памет от фиг. 4а се получава и схемата на интеграторите, използвани в представения в тази работа СДМ, която е показана на фиг. 5.

Тъй като компараторът в схемата на СДМ извършва еднобитово квантуване на приемания сигнал, преобразувайки го в модулиран по плътност

поток от символи с логически нива +1 и -1, като най-подходящ за неговата реализация се е наложил CMOS инверторът, показан на **фиг. 6а**.



Фиг. 5



Фиг. 6

Преобразуването на така получения еднобитов цифров поток в аналогов сигнал може да стане с помощта на схемата на **фиг. 6б**. Тя съдържа два източника на ток, които се превключват към изхода от ключовите транзистори *VT1* и *VT2*, променящи състоянието си (когато единият е отпушен, другият е запушен и обратно) в съответствие с полярността на входния логически символ.

Заклучение

Чрез едновременно прилагане на аналогова и цифрова филтрация на приеманите сигнали след второто им честотно преобразуване, което е с нулева междинна честота, може да се постигне потискане на съседните канали с повече от 60 dB. Такъв подход позволява да се избегнат основните недостатъци на чисто аналоговите и цифрови методи, като се създават радиоприемници с програмируеми характеристики, които могат да бъдат реализирани със сравнително прости схеми на базата на CMOS технология.

Литература

1. Aziz, P., et al. An Overview of Sigma-Delta Converters. IEEE Signal Processing Magazine, Vol. 13, No 1, January, 1996.
2. Barrett, C. J. Low-Power Decimation Filter Design for Multi-Standard Transceiver Applications, Masters Thesis, University of California at Berkeley, 1997.
3. Botha, A. Stefaan. An Evaluation of a Novel Switched-Current Architecture for $\Delta\Sigma$ Modulator ADCs. Masters Thesis, Rochester Institute of Technology, New York, 2000.
4. Candy, J. Decimation for Sigma-Delta Modulation. IEEE Transaction on Communications, Vol. COM-34, January, 1986.
5. Candy J., G. Temes. Oversampling Methods for A/D and D/A Conversion. Oversampling Delta-Sigma Data Converters. IEEE Press, New York, 1992.
6. Feldman, A., B. Boser, P. Gray. A 13 Bit, 1.4 MS/s, 3.3 V Sigma-Delta Modulator for RF Baseband Channel Applications. IEEE Custom Integrated Circuits Conference, May, 1998.
7. Norsworthy, Ed. S., R. Schreier, G. Temes. Delta-Sigma Data Converters: Theory, Design, and Simulation. IEEE Press, New York, 1997.
8. Rudell, J., et. al. A 1.9 GHz Wide-band IF Double Conversion CMOS Receiver for Cordless Telephone Applications. IEEE Journal of Solid-State Circuits, December, 1997.